

明 細 書

半導体装置の製造方法および半導体装置

技術分野

本発明は、いわゆるスーパージャンクション構造を有する半導体装置およびその製造方法に関する。

背景技術

MOS電界効果トランジスタ(Metal Oxide Semiconductor Field Effect Transistor; MOS FET)が形成された半導体装置において、耐圧の向上が試みられている。

図6は、MOS FETが形成された従来の半導体装置(特開2003-46082号公報参照)の図解的な断面図である。

N⁺⁺型の半導体基板51の上には、N型のドリフト層(N型ピラー層)52およびP型のリサーフ層(P型ピラー層)53を含む半導体層54が形成されている。ドリフト層52とリサーフ層53とは、半導体基板51に平行な方向に交互に繰り返し現れるように配置されており、いわゆるスーパージャンクション構造を形成している。

半導体層54をその厚さ方向に貫通して、半導体基板51と半導体層54との界面に至る深さを有する複数のトレンチ55が形成されている。この複数のトレンチ55は、半導体基板51にほぼ垂直な内側壁をそれぞれ有しており、ほぼ等間隔で互いに平行に形成されている。トレンチ55の内壁は、酸化膜63で覆われており、その内部はポリシリコンや誘電体などからなる埋め込み層64で埋められている。

ドリフト層52は、トレンチ55に沿って配置されている。リサーフ層53は、隣接する2つのトレンチ55にそれぞれ沿う一対のドリフト層52の間に配置されている。リサーフ層53は、ドリフト層52および半導体基板51に接している。

ドリフト層52の上には、N型領域56が形成されている。リサーフ層53の上には、N型領域56と接するようにP型のベース層57が形成されている。ベース層57の表層部には、N型のソース領域58が形成されている。

絶縁膜 5 9 を挟んで、N 型領域 5 6 とソース領域 5 8 との間にあるベース層 5 7 およびその近傍に対向するように、ゲート電極 6 0 が配置されている。また、ソース領域 5 8 およびベース層 5 7 に接するように、ソース電極 6 1 が形成されている。半導体基板 5 1 の裏面（ゲート電極 6 0 やソース電極 6 1 が形成されている面とは反対側の面）には、ドレイン電極 6 2 が形成されている。

この半導体装置は、ソース電極 6 1 およびドレイン電極 6 2 の一方と外部負荷とが接続された状態で、ソース電極 6 1 およびドレイン電極 6 2 の他方と外部負荷との間に、電源により一定の電圧が印加された状態で使用される。この印加される電圧は、リサーフ層 5 3 およびドリフト層 5 2 により形成される P N 接合に対して逆バイアスを与える。

この状態で、ゲート電極 6 0 を適当な電位にする（MOS FET をオン状態にする）ことにより、ソース電極 6 1 とドレイン電極 6 2 との間に電流を流すことができる。この際、N 型領域 5 6 とソース領域 5 8 との間のベース層 5 7 において、絶縁膜 5 9 との界面近傍にチャネルが形成される。これにより、ドレイン電極 6 2 から、半導体基板 5 1、ドリフト層 5 2、N 型領域 5 6、ベース層 5 7 の絶縁膜 5 9 との界面近傍（チャネル）、およびソース領域 5 8 を経て、ソース電極 6 1 へと電流が流れる。

この際、リサーフ層 5 3 およびドリフト層 5 2 により形成される P N 接合には、外部負荷と MOS FET のオン抵抗とで分圧した逆バイアスがかかるが、これにより生じる空乏層の拡がりはずかであり、ドリフト層 5 2 にはキャリア（電子）の経路が残される。

次に、この MOS FET がオフ状態のとき、すなわち、ゲート電極 6 0 が上記の適当な電位にされていないときについて説明する。この場合、チャネルは形成されず、MOS FET には電流が流れないので、ドリフト層 5 2 とリサーフ層 5 3 とにより形成される P N 接合には、電源電圧がそのまま逆バイアスとして印加されることになる。そのため、ドリフト層 5 2 とリサーフ層 5 3 との界面 S からドリフト層 5 2 およびリサーフ層 5 3 へと空乏層がすみやかに広がり、ドリフト層 5 2 およびリサーフ層 5 3 が完全に空乏化する。これにより、理論上は、優れた耐圧を実現できる。

ところが、リサーフ層 5 3 は導電型が N^{++} 型である半導体基板 5 1 にも接しているため、ドリフト層 5 2 とリサーフ層 5 3 とにより形成される P N 接合に逆バイアス電圧が印加されると、リサーフ層 5 3 と半導体基板 5 1 との界面からも、リサーフ層 5 3 および半導体基板 5 1 中へと空乏層が広がる。

このとき、半導体基板 5 1 とドリフト層 5 2 とで不純物濃度が異なることなどにより、ドリフト層 5 2 とリサーフ層 5 3 との界面 S 近傍と、半導体基板 5 1 とリサーフ層 5 3 との界面近傍とでは、空乏層の広がり方が異なる。これにより、半導体装置がオフ状態のとき、空乏層において局所的に強い電界が生じ、この部分で電流が流れる。このため、このような半導体装置の耐圧は、実際には満足できるレベルではなかった。

発明の開示

この発明の目的は、耐圧を向上させることができる半導体装置の製造方法を提供することである。

この発明の他の目的は、耐圧を向上させることができる半導体装置を提供することである。

この発明の半導体装置の製造方法は、第 1 導電型の半導体基板上に、上記第 1 導電型のドリフト層、および上記第 1 導電型とは異なる第 2 導電型のリサーフ層を、上記半導体基板に平行な横方向に交互に配置して形成したスーパージャンクション構造部を有する半導体装置の製造方法である。この製造方法は、上記半導体基板の上に、上記第 1 導電型の半導体層を形成する工程と、上記半導体層を貫通して上記半導体基板に至るトレンチを形成する工程と、上記トレンチの底部側の所定の領域に充填材を充填し、上記トレンチ内において、上記半導体基板と上記半導体層との界面位置よりも浅い所定上面位置までの底部領域に上記充填材を配置するとともに、上記所定上面位置よりも上部側に空所を確保する充填工程と、上記充填工程の後、上記トレンチの内側壁に露出した上記半導体層に上記第 2 導電型の不純物を導入して、上記トレンチの内側壁に沿う上記第 2 導電型の上記リサーフ層を形成し、上記半導体層の残余の領域をドリフト層とする工程とを含む。

この発明によれば、リサーフ層は半導体層を貫通して半導体基板に至るトレンチの内側壁に沿って形成され、ドリフト層はリサーフ層が形成された後の半導体層の残余の領域からなる。これにより、ドリフト層とリサーフ層とが半導体基板に平行な方向に繰り返す（交互に）現れる、いわゆる、スーパージャンクション構造を有する半導体装置を製造できる。リサーフ層は、トレンチの幅方向に関して、一方側の内側壁のみに沿って形成されてもよく、両側の内側壁に沿って形成されてもよい。

リサーフ層を形成する工程において、トレンチの底部側には充填材が存在しており、この充填材の上面は、半導体基板と半導体層との界面に対して、半導体層の表面から浅い位置にある。このため、第2導電型の不純物（第2導電型への制御のための不純物）は、充填材に阻まれて、半導体層において半導体基板との隣接部に導入されることはない。これにより、ドリフト層（半導体層の残余の領域）によって半導体基板と隔てられたリサーフ層が得られる。

この発明に係る製造方法により製造される半導体装置は、ドリフト層およびリサーフ層によるPN接合に対して逆バイアスが与えられると、ドリフト層とリサーフ層との界面（以下、単に「界面」という。）からドリフト層およびリサーフ層に空乏層が広がる。この場合、印加される電圧が一定以上の大きさになると、ドリフト層およびリサーフ層はほぼ完全に空乏化する。このためこの半導体装置は一定の耐圧（たとえば、数百V）を有することができる。

リサーフ層と半導体基板との間、およびリサーフ層とトレンチまたは隣接する他のリサーフ層との間には、同じドリフト層、すなわちほぼ均一な不純物濃度を有する半導体領域が存在している。したがって、ドリフト層において空乏層は界面から均等に広がることができる。すなわち、ドリフト層において、空乏層は界面からドリフト層を挟んで対向するトレンチ側（半導体基板に平行な方向）に広がることも、ドリフト層を挟んで対向する半導体基板側（半導体基板に垂直な方向）にも同等に広がることもできる。

このため、空乏層において他の部分より電界が強い部分は生じないので、界面を介して容易に電流が流れない。すなわち、この半導体装置は従来の半導体装置に比べて、耐圧を向上（たとえば、200Vないし1000Vに）できる。

上記リサーフ層を形成する工程は、上記トレンチの内側壁に露出した上記半導体層の表層部に、上記第2導電型の不純物を注入する注入工程と、この注入工程の後、上記半導体基板を加熱することにより、上記半導体層に注入された当該不純物を上記半導体層中に拡散させる熱拡散工程とを含んでもよい。

上記充填工程は、上記所定上面位置よりも浅い位置まで上記トレンチ内に上記充填材を供給する充填材供給工程と、この充填材供給工程の後、上記充填材を上記所定上面位置までエッチバックする工程とを含んでもよい。

エッチバック厚を制御することにより、充填材の上面位置が、半導体基板と半導体層との界面位置よりも浅くなるようにすることができ、充填材の上面位置を任意に調整できる。これにより、ドリフト層において、リサーフ層と半導体基板とに挟まれた部分の幅を容易に制御できる。

上記充填材供給工程は、上記トレンチを上記充填材でほぼ完全に満たす工程を含んでもよい。すなわち、充填材供給工程は、充填材の上面が上記トレンチ外に位置するように充填材を供給する工程を含んでもよい。

上記充填工程は、上記トレンチに充填材としての酸化シリコンを充填する工程を含んでもよい。

この場合、上記トレンチに酸化シリコンを充填する工程は、トレンチ内にポリシリコンを充填する工程と、当該ポリシリコンを酸化させることにより上記充填材としての酸化シリコンを得る工程とを含んでもよい。

また、上記トレンチに酸化シリコンを充填する工程は、トレンチ内にTEOS (tetraethylorthosilicate)を充填する工程と、このTEOSを熱分解して上記充填材としての酸化シリコンを得る工程とを含んでもよい。

また、上記充填工程は、上記トレンチに充填材としてのポリシリコンを充填する工程を含んでもよく、この場合、この半導体装置の製造方法は、上記充填工程の前に上記トレンチの内壁を酸化させて酸化膜を形成する工程をさらに含むものとすることができる。

酸化膜により、充填材（ポリシリコン）と半導体基板やスーパージャンクション構造部とを電氣的に絶縁することができる。酸化膜を形成する工程は、トレンチの内壁を熱酸化させる工程を含んでもよい。

この半導体装置の製造方法は、上記リサーフ層を形成する工程の後、上記トレンチの上記上部側の空所を上部充填材で満たす工程をさらに含んでもよい。

これにより、トレンチ内が充填材および上部充填材でほぼ完全に満たされた半導体装置を得ることができ、これにより半導体基板のそりを防止できる。

リサーフ層形成前にトレンチ内に充填される充填材と、上部充填材（リサーフ層形成後にトレンチ内に充填される充填材）とは、同種のものであってもよく、異なる種類のものであってもよい。

この半導体装置の製造方法は、上記半導体層の表面に上記第2導電型の不純物を導入して、上記リサーフ層および上記ドリフト層と接する上記第2導電型のベース領域を形成する工程と、上記ベース領域に上記第1導電型の不純物を導入して、上記ベース領域の残部により上記ドリフト層およびリサーフ層と隔てられた上記第1導電型のソース領域を形成する工程と、上記ソース領域と上記ドリフト層との間の上記ベース領域に対向するゲート絶縁膜を形成する工程と、上記ゲート絶縁膜を挟んで、上記ソース領域と上記ドリフト層との間の上記ベース領域に対向配置されたゲート電極を形成する工程とをさらに含んでもよい。

この製造方法により得られる半導体装置は、上記ソース領域と上記半導体基板（ドレイン領域）との間に適当な大きさの電圧を印加し、ゲート電極を所定の電位にする（半導体装置をオン状態にする）ことにより、ベース領域において、ソース領域とドリフト層との間でゲート絶縁膜近傍の領域にチャンネルを形成することができる。これにより、ソース領域と半導体基板（ドレイン領域）との間に電流を流すことができる。

また、この半導体装置がオフ状態のときに、ドリフト層とリサーフ層とにより形成されるPN接合に対して大きな逆バイアス電圧が印加された場合でも、高い耐圧を有することができる。

この発明の半導体装置は、第1導電型の半導体基板と、この半導体基板上に設けられ、上記第1導電型のドリフト層、および上記第1導電型とは異なる第2導電型のリサーフ層を、上記半導体基板に平行な横方向に交互に配置して形成したスーパージャンクション構造部と、このスーパージャンクション構造部を貫通して上記半導体基板に至るトレンチ内の底部側の所定の領域に配置された充填材と

を備えている。上記リサーフ層は、上記トレンチの内側壁に沿って形成されており、上記ドリフト層は、上記リサーフ層が上記半導体基板との接触部を有しないように、上記リサーフ層と上記半導体基板との間に介在する分離領域を有しており、上記分離領域と上記ドリフト層との界面位置と、上記トレンチ内の上記充填材の上面位置とが、上記スーパージャンクション構造部の表面からほぼ同じ深さにある。

充填材は、酸化シリコンなどの絶縁物であってもよく、絶縁物に覆われたシリコン（たとえば、ポリシリコン）などの導電体（半導体）であってもよい。

トレンチ内において、充填材の上の空間には何も満たされずに空所とされていてもよいが、当該充填材とは別途に充填された充填材（上部充填材）で満たされていることが好ましい。

この発明の半導体装置は、上記ドリフト層および上記リサーフ層に接するように形成された上記第2導電型のベース領域と、上記ベース領域に接するように形成され、上記ベース領域により上記ドリフト層およびリサーフ層と隔てられた上記第1導電型のソース領域と、上記ソース領域と上記ドリフト層との間の上記ベース領域に、ゲート絶縁膜を挟んで対向配置されたゲート電極とをさらに備えていてもよい。

本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

図1は、本発明の第1の実施形態に係る半導体装置の構造を示す図解的な断面図である。

図2(a)ないし図2(h)は、図1の半導体装置の製造方法を説明するための図解的な断面図である。

図3は、本発明の第2の実施形態に係る半導体装置の構造を示す図解的な断面図である。

図4(a)ないし図4(d)は、図3の半導体装置の製造方法を説明するための図解的な断面図である。

図5は、本発明の第3の実施形態に係る半導体装置の構造を示す図解的な断面図である。

図6は、MOSFETが形成された従来の半導体装置の図解的な断面図である。

発明の実施の形態

以下では、添付図面を参照して、本発明の実施の形態について詳細に説明する。

図1は、本発明の第1の実施形態に係る半導体装置の構造を示す図解的な断面図である。

導電型が N^+ 型でドレイン領域をなすシリコン基板2の上には、いわゆる、スーパージャンクション構造が形成されたスーパージャンクション構造部13が設けられている。スーパージャンクション構造部13は、導電型が N^- 型のドリフト層3と、ドリフト層3に埋設された導電型が P^- 型のリサーフ層9とを含んでおり、ドリフト層3とリサーフ層9とは、シリコン基板2に平行な方向に交互に（繰り返し）現れるように配列されている。

スーパージャンクション構造部13を貫通し、シリコン基板2に至る深さを有する複数のトレンチ4が互いにほぼ平行に形成されている。各トレンチ4は、シリコン基板2にほぼ垂直な内側壁をそれぞれ有しており、図1の紙面に垂直な方向に延びている。すなわち、トレンチ4の長さ方向は図1の紙面に垂直な方向であり、トレンチ4の幅方向は、図1の紙面に平行かつシリコン基板2に平行な方向である。

図1には2つのトレンチ4のみを示しているが、半導体装置1には、より多くのトレンチ4が形成されていて、これらのトレンチ4は、ほぼ等間隔に形成されている。

各トレンチ4の内部において、トレンチ4の底部側に酸化シリコン15が配置されており、酸化シリコン15の上には、ポリシリコン16が配置されている。トレンチ4とポリシリコン16との隣接部には、酸化シリコン膜5が介在されている。トレンチ4は、酸化シリコン15、およびポリシリコン16でほぼ完全に

満たされている。これにより、シリコン基板 2 にそりが生じ難くなっている。

リサーフ層 9 は、各トレンチ 4 の幅方向に関して、同じ一方側の内側壁に沿って形成されている。すなわち、リサーフ層 9 は、隣接する 2 つのトレンチ 4 の間で、一方のトレンチ 4 に近接して形成されており、酸化シリコン膜 5 に接している。

ドリフト層 3 は、隣接する 2 つのリサーフ層 9 の間（リサーフ層 9 とトレンチ 4 との間）で、トレンチ 4 の他方側の内側壁に沿って、リサーフ層 9 と平行に形成されている。ドリフト層 3 は、さらに、リサーフ層 9 の下（シリコン基板 2 とリサーフ層 9 との間）へと潜り込んでいる。すなわち、リサーフ層 9 とシリコン基板 2 とは、ドリフト層 3 によって隔てられており、リサーフ層 9 はシリコン基板 2 には接していない。

ドリフト層 3 において、リサーフ層 9 とトレンチ 4 とに挟まれた部分 3_H と、リサーフ層 9 とシリコン基板 2（ドレイン領域）とに挟まれた部分（以下、「分離領域」という。） 3_V とは連続している。ドリフト層 3 は、ほぼ均一な不純物濃度を有しており、リサーフ層 9 とトレンチ 4 とに挟まれた部分 3_H と、分離領域 3_V とは、ほぼ同じ不純物濃度を有する。

分離領域 3_V とリサーフ層 9 との界面位置（リサーフ層 9 のシリコン基板 2 との対向部 9 a とドリフト層 3 との界面位置） D_1 と、酸化シリコン 15 の上面（酸化シリコン 15 とポリシリコン 16 との界面）位置 D_2 とは、スーパージャンクション構造部 13 の表面からほぼ同じ深さにある。したがって、酸化シリコン 15 の上面位置 D_2 は、シリコン基板 2 とドリフト層 3 との界面よりも、ドリフト層 3 の表面から浅い位置にある。

スーパージャンクション構造部 13 の表面近傍（リサーフ層 9 の上）には、トレンチ 4 に近接して、導電型が N^+ 型のソース領域 7 が形成されている。ソース領域 7 とドリフト層 3、リサーフ層 9、および酸化シリコン膜 5 との間には、導電型が P^- 型のベース領域 8 が形成されている。

ドリフト層 3 の表面近傍において、ドリフト層 3 とソース領域 7 との間にあるベース領域 8 およびその近傍のドリフト層 3 およびソース領域 7 に対向するように、ゲート電極 10 が配置されている。ゲート電極 10 は、不純物の導入により

導電化されたポリシリコンからなる。ゲート電極 10 の周囲は、酸化シリコン膜 11 で覆われている。したがって、ゲート電極 10 とベース領域 8 との間は、酸化シリコン膜 11 により隔てられている。

シリコン基板 2 のドリフト層 3 およびリサーフ層 9 が形成されている側の面を覆うように、アルミニウムからなるソース電極 12 が形成されている。ソース電極 12 は、ソース領域 7 およびベース領域 8 に電気接続されている。シリコン基板 2 の裏面（ソース電極 12 とは反対側の面）には、ドレイン電極 14 が形成されている。

この半導体装置 1 は、ソース電極 12 およびドレイン電極 14 の一方と外部負荷とが接続された状態で、ソース電極 12 およびドレイン電極 14 の他方と外部負荷との間に、電源により一定の電圧（たとえば、数百 V）が印加された状態で使用される。この印加される電圧は、リサーフ層 9 およびドリフト層 3 により形成される PN 接合に対して逆バイアスを与える。

この状態で、ゲート電極 10 を所定の電位にする（半導体装置 1 をオン状態にする）ことにより、ソース電極 12 とドレイン電極 14 との間に電流を流すことができる。この際、ドリフト層 3 とソース領域 7 との間のベース領域 8 において、酸化シリコン膜 11 との界面近傍にチャネルが形成される。

この際、リサーフ層 9 およびドリフト層 3 により形成される PN 接合には、外部負荷と MOS FET のオン抵抗とで分圧した逆バイアス（たとえば、2 V）がかかるが、これにより生じる空乏層の拡がりはずかであり、ドリフト層 3 にはキャリア（電子）の経路が残される。オン状態の半導体装置 1 において、ドリフト層 3 のうち空乏化していない部分を経由して、ソース電極 12 とドレイン電極 14 との間に電流が流れる。

一方、この半導体装置 1 がオフ状態のとき、すなわち、ゲート電極 10 が上記所定の電位にされていないときは、チャネルは形成されず、MOS FET には電流が流れないので、ドリフト層 3 とリサーフ層 9 とにより形成される PN 接合には、電源電圧がそのまま逆バイアスとして印加されることになる。そのため、ドリフト層 3 とリサーフ層 9 との界面 S 近傍においては、界面 S からドリフト層 3 およびリサーフ層 9 中へと空乏層が広がる。ドリフト層 3 において、空乏層は

界面Sから、ドリフト層3を挟んで対向するトレンチ4側へとすみやかに広がるとともに、ドリフト層3を挟んで対向するシリコン基板2側へと向かってすみやかに広がる。

空乏層は界面Sから、不純物濃度がほぼ均一であるドリフト層3中に均等に広がるので、局所的に強い電界は生じない。このため、界面Sを介して容易に電流が流れないから、この半導体装置1は耐圧が大きい。

ドリフト層3やリサーフ層9の幅が薄くされていると、ドリフト層3の不純物濃度が高くされていても、ドリフト層3およびリサーフ層9は容易にほぼ完全に空乏化するので、この半導体装置1は高い耐圧を有することができる。また、オン状態のときの導電経路の一部をなすドリフト層3の不純物濃度を高くすることにより、オン抵抗を低減できる。

この半導体装置1は、200Vないし1000V程度の耐圧を有することができる。たとえば、600Vの耐圧を有するものでも、オン抵抗を従来の半導体装置の5分の1程度とすることができる。

図2(a)ないし図2(h)は、図1の半導体装置1の製造方法を説明するための図解的な断面図である。図2(a)ないし図2(h)では、1つのトレンチ4の近傍のみを示している。

まず、導電型がN⁺型にされたシリコン基板2上に、導電型がN⁻型のエピタキシャル層18が形成され、エピタキシャル層18の上に、トレンチ4に対応する領域に開口21aが形成されたハードマスク21が形成される。ハードマスク21は、たとえば、窒化シリコンからなる。

続いて、ハードマスク21の開口21aを介して、エピタキシャル層18がドライエッチング（たとえば、反応性イオンエッチング）されて、エピタキシャル層18をその厚さ方向に貫通し、シリコン基板2に至る深さを有するトレンチ4が形成される。トレンチ4の幅は、たとえば、2 μ m程度であり、トレンチ4の深さは、たとえば、40 μ m程度である。この状態が図2(a)に示されている。

続いて、以上の工程を経たシリコン基板2の上に、トレンチ4の内部を埋めるように、酸化シリコン膜22が形成される（図2(b)参照）。酸化シリコン膜

22は、ハードマスク21上にも形成される。酸化シリコン膜22は、たとえば、トレンチ4の内部を埋めるようにポリシリコン膜を形成した後、このポリシリコン膜をすべて熱酸化することにより得てもよく、減圧CVD(Chemical Vapor Deposition)法により、TEOS(tetraethylorthosilicate)からなる膜を形成した後、このTEOSからなる膜を熱分解することにより得てもよい。

続いて、酸化シリコン膜22が、トレンチ4の底部に存在する部分を残してエッチバックされ、トレンチ4の上部側に空所が確保される。酸化シリコン膜22の残部は、酸化シリコン15となる。この際、適当なエッチバック条件が選択されることにより、酸化シリコン15の上面(エッチバック面)位置D₂は、シリコン基板2とエピタキシャル層18との界面の位置よりも、エピタキシャル層18の表面から浅い位置(所定上面位置)になるようにされる。この状態が、図2(c)に示されている。

次に、ハードマスク21の開口21aを介して、各トレンチ4の内面に露出したエピタキシャル層18に、P型の不純物のイオンが注入される。このとき、このイオンは、図2(d)に矢印Aで示すように、トレンチ4の幅方向に垂直な内側壁に対して所定の傾斜角をなすように打ち込まれる。トレンチ4の内側壁(シリコン基板2の法線方向)とイオンが打ち込まれる方向とのなす角度は、たとえば、1.5°ないし2°とされる。

これにより、各トレンチ4の幅方向一方側の内側壁(半導体装置1のトレンチ4において、リサーフ層9が隣接して形成されている側に相当する面)において、露出領域のほぼ全域に、P型の不純物が注入された第1注入領域23が形成される。この状態が、図2(d)に示されている。

次に、ハードマスク21が除去され、エピタキシャル層18の上に、ベース領域8に対応する位置に開口が形成されたレジスト膜(図示せず)が形成される。続いて、このレジスト膜の開口を介して、エピタキシャル層18の表層部に、P型の不純物が注入されて第2注入領域24が形成される。その後、レジスト膜が除去される。この状態が、図2(e)に示されている。

続いて、以上の工程を経たシリコン基板2が所定の温度に加熱されて、第1および第2注入領域23、24中のP型の不純物が、エピタキシャル層18中に拡

散され、リサーフ層 9 およびベース領域 8 がそれぞれ形成される。エピタキシャル層 18 の残余の領域は、ドリフト層 3 となる。この状態が、図 2 (f) に示されている。

次に、以上の工程を経たシリコン基板 2 のエピタキシャル層 18 側の面に、ソース領域 7 に対応する位置に開口が形成されたレジスト膜（図示せず）が形成される。そして、このレジスト膜の開口を介して、ベース領域 8 の表層部に N 型の不純物が注入されて、第 3 注入領域が形成される。その後、このレジスト膜が除去され、以上の工程を経たシリコン基板 2 が所定の温度に加熱されて、第 3 注入領域中の N 型の不純物が、ベース領域 8 中に拡散される。これにより、ソース領域 7 が形成される。この状態が、図 2 (g) に示されている。

次に、以上の工程を経たシリコン基板 2 が所定の温度に加熱されて、露出表面、すなわち、トレンチ 4 の内面ならびにドリフト層 3、ベース領域 8 およびソース領域 7 の表面が熱酸化されて酸化膜 17 が形成される。さらに、この酸化膜 17 上にポリシリコンからなる膜（ポリシリコン膜）19 が形成される。トレンチ 4 は、ポリシリコン膜 19 でほぼ完全に満たされる。その後、ポリシリコン膜 19 が不純物の注入により導電化される。この状態が、図 2 (h) に示されている。

続いて、このポリシリコン膜 19 のうち、トレンチ 4 内部およびゲート電極 10 にほぼ対応する部分以外の部分が除去される。ポリシリコン膜 19 の残部のうち、トレンチ 4 内のものは、ポリシリコン 16 となる。さらに、この状態で露出しているポリシリコン膜 19 の表面が熱酸化されて酸化膜が形成される。

次に、酸化膜のうち、トレンチ 4 外でゲート電極 10 の周囲以外の部分、および、トレンチ 4 の上部のものが除去される。これにより、ポリシリコン膜の残部のうち、トレンチ 4 外のはゲート電極 10 となる。酸化膜 17 の残部のうち、トレンチ 4 内のものは酸化シリコン膜 5 となり、トレンチ 4 外のはゲート電極 10 の周囲を覆う酸化シリコン膜 11 となる。

その後、以上の工程を経たシリコン基板 2 のソース領域 7 が形成された側の面およびその反対側の面に、ソース電極 12 およびドレイン電極 14 がそれぞれ形成されて、図 1 に示す半導体装置 1 が得られる。

以上の製造方法において、第1注入領域23の形成時に、トレンチ4内の底部には、シリコン基板2とエピタキシャル層18との界面より浅い位置D₂まで酸化シリコン15が存在している（図2（d）参照）。このため、P型の不純物は、酸化シリコン15に阻まれて、エピタキシャル層18においてシリコン基板2との隣接部に導入されることはない。これにより、ドリフト層3（分離領域3_v）によってシリコン基板2と隔てられたリサーフ層9が得られる。

また、酸化シリコン膜22のエッチバック厚を制御することにより、酸化シリコン15の上面位置D₂を制御できる（図2（c）参照）。これにより、リサーフ層9の形成領域を制御できるので、シリコン基板2とリサーフ層9との間のドリフト層3（分離領域3_v）の厚さを制御して、半導体装置1において、界面Sからより均等に空乏層が広がるようにすることができる。

図3は、本発明の第2の実施形態に係る半導体装置の図解的な断面図である。図3において、図1に示す各部に対応する部分には、図3に同じ参照符号を付して説明を省略する。

この半導体装置31では、トレンチ4の底部に、図1の半導体装置1の酸化シリコン15の代わりに、ポリシリコン32およびその周囲を取り囲む酸化膜33が配置されている。トレンチ4の内部は、ポリシリコン32、16および酸化膜33で、ほぼ完全に満たされている。これにより、シリコン基板2にそりが生じ難くされている。

この半導体装置31においても、リサーフ層9は、シリコン基板2（ドレイン領域）に接しておらず、半導体装置31がオフ状態のときに、空乏層はドリフト層3において、界面Sから、ドリフト層3を挟んで対向するトレンチ4側およびシリコン基板2側に均等に広がるので、局所的に強い電界は生じない。このため、界面Sを介して容易に電流が流れないから、この半導体装置31の耐圧は大きい。

図4（a）ないし図4（d）は、半導体装置31の製造方法を説明するための図解的な断面図である。図4（a）ないし図4（d）において、図2（a）ないし図2（h）に示す各部に対応する部分には、図4（a）ないし図4（d）に同じ参照符号を付して説明を省略する。

トレンチ 4 の形成までが、半導体装置 1 と同様に実施された後、シリコン基板 2 が加熱されて、シリコン基板 2 およびエピタキシャル層 18 の露出表面、すなわち、トレンチ 4 の内壁が熱酸化されて犠牲酸化膜 34 が形成される（図 4（a）参照）。

次に、トレンチ 4 の内部をほぼ完全に埋めるように、ポリシリコン膜 35 が形成される。ポリシリコン膜 35 は、トレンチ 4 外、すなわち、ハードマスク 21 の上にも形成される（図 4（b）参照）。

続いて、ポリシリコン膜 35 が、トレンチ 4 の底部に存在する部分を残してエッチバックされ、トレンチ 4 の上部側に空所が確保される。ポリシリコン膜 35 残部は、ポリシリコン 32 となる。ポリシリコン 32 の上面（エッチバック面）位置 D₂は、シリコン基板 2 とエピタキシャル層 18 との界面の位置よりも、エピタキシャル層 18 の表面から浅い位置（所定上面位置）になるように、エッチバック条件が設定される。この状態が、図 4（c）に示されている。

次に、露出している犠牲酸化膜 34 がエッチングにより除去される。ポリシリコン 32 とシリコン基板 2 およびエピタキシャル層 18 との間にある犠牲酸化膜 34 は残される。

その後、半導体装置 31 の製造方法と同様にして、第 1 注入領域 23 の形成（図 4（d）参照）以下の工程が実施されて、図 3 に示す半導体装置 31 が得られる。その際、酸化膜 17 形成時（図 2（h）参照）に、ポリシリコン 32 の上面（エッチバック面）も酸化されて、犠牲酸化膜 34 の残部とともにポリシリコン 32 を取り囲む酸化膜 33 が形成される。

図 5 は、本発明の第 3 の実施形態に係る半導体装置の構造を示す図解的な断面図である。図 5 において、図 1 に示す各部に対応する部分には、図 5 に同じ参照符号を付して説明を省略する。

この半導体装置 41 は、図 1 に示す半導体装置 1 と類似した構造を有するが、リサーフ層 9 はトレンチ 4 の幅方向両側に形成されている。リサーフ層 9 とドレイン領域をなすシリコン基板 2 との間には、ドリフト層 3 が入り込んでおり、いずれのリサーフ層 9 もシリコン基板 2 に接していない。

このため、空乏層は界面 S から、不純物濃度がほぼ均一であるドリフト層 3 中

を、隣接する他方のリサーフ層 9 側およびシリコン基板 2 側に均等に広がることのできるので、局所的に強い電界は生じない。このため、界面 S を介して容易に電流が流れないから、この半導体装置 4 1 は耐圧が大きい。

このような半導体装置 4 1 は、半導体装置 1 の製造方法において、酸化シリコン 1 5 の上面位置 D₂が、シリコン基板 2 とエピタキシャル層 1 8 との界面の位置よりも、エピタキシャル層 1 8 の表面から浅い位置（所定上面位置）になるようにされた後、トレンチ 4 の幅方向両側の内壁に P 型の不純物を注入することにより得られる。

P 型の不純物イオンを注入する工程は、当該イオンを、トレンチ 4 の内側壁に対してわずかな傾斜角をなし、かつ、シリコン基板 2 に垂直な方向から見て、トレンチ 2 2, 4 の幅方向に沿う（長さ方向に垂直な）2 方向から打ち込むものとすることができる。

この場合も、P 型の不純物はエピタキシャル層 1 8 においてシリコン基板 2 との隣接部に導入されることはないので、エピタキシャル層 1 8 の残余の領域（ドリフト層 3）によってシリコン基板 2 と分離されたりサーフ層 9 が得られる。

この発明の実施形態の説明は、以上の通りであるが、この発明は他の形態で実施することもできる。たとえば、第 2 の実施形態に係る半導体装置 3 1 の製造方法において、犠牲酸化膜 3 4 を形成した後（図 4（a）参照）、この犠牲酸化膜 3 4 をすべて除去し、改めて犠牲酸化膜 3 4 と同等の酸化膜を形成してから、ポリシリコン膜 3 5 の形成以下の工程が実施されてもよい。

本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

この出願は、2003 年 12 月 26 日に日本国特許庁に提出された特願 2003-435266 に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

請求の範囲

1. 第1導電型の半導体基板上に、上記第1導電型のドリフト層、および上記第1導電型とは異なる第2導電型のリサーフ層を、上記半導体基板に平行な横方向に交互に配置して形成したスーパージャンクション構造部を有する半導体装置の製造方法であって、

上記半導体基板の上に、上記第1導電型の半導体層を形成する工程と、

上記半導体層を貫通して上記半導体基板に至るトレンチを形成する工程と、

上記トレンチの底部側の所定の領域に充填材を充填し、上記トレンチ内において、上記半導体基板と上記半導体層との界面位置よりも浅い所定上面位置までの底部領域に上記充填材を配置するとともに、上記所定上面位置よりも上部側に空所を確保する充填工程と、

上記充填工程の後、上記トレンチの内側壁に露出した上記半導体層に上記第2導電型の不純物を導入して、上記トレンチの内側壁に沿う上記第2導電型の上記リサーフ層を形成し、上記半導体層の残余の領域をドリフト層とする工程とを含む、半導体装置の製造方法。

2. 上記充填工程が、上記所定上面位置よりも浅い位置まで上記トレンチ内に上記充填材を供給する充填材供給工程と、

この充填材供給工程の後、上記充填材を上記所定上面位置までエッチバックする工程とを含む、請求項1記載の半導体装置の製造方法。

3. 上記充填工程が、上記トレンチに上記充填材としての酸化シリコンを充填する工程を含む、請求項1または2記載の半導体装置の製造方法。

4. 上記充填工程の前に、上記トレンチの内壁を酸化させて酸化膜を形成する酸化工程をさらに含み、

上記充填工程が、上記トレンチに上記充填材としてのポリシリコンを充填する工程を含む、請求項1ないし3のいずれかに記載の半導体装置の製造方法。

5. 上記リサーフ層を形成する工程の後、上記トレンチの上記上部側の空所を上部充填材で満たす工程をさらに含む、請求項1ないし4のいずれかに記載の半導体装置の製造方法。

6. 上記半導体層の表面に上記第2導電型の不純物を導入して、上記リサーフ層

および上記ドリフト層と接する上記第 2 導電型のベース領域を形成する工程と、

上記ベース領域に上記第 1 導電型の不純物を導入して、上記ベース領域の残部により上記ドリフト層およびリサーフ層と隔てられた上記第 1 導電型のソース領域を形成する工程と、

上記ソース領域と上記ドリフト層との間の上記ベース領域に対向するゲート絶縁膜を形成する工程と、

上記ゲート絶縁膜を挟んで、上記ソース領域と上記ドリフト層との間の上記ベース領域に対向配置されたゲート電極を形成する工程とをさらに含む、請求項 1 ないし 5 のいずれかに記載の半導体装置の製造方法。

7. 上記リサーフ層を形成する工程が、

上記トレンチの内側壁に露出した上記半導体層の表層部に、上記第 2 導電型の不純物を注入する注入工程と、

この注入工程の後、上記半導体基板を加熱することにより、上記半導体層に注入された当該不純物を上記半導体層中に拡散させる熱拡散工程とを含む、請求項 1 ないし 6 のいずれかに記載の半導体装置の製造方法。

8. 第 1 導電型の半導体基板と、

この半導体基板上に設けられ、上記第 1 導電型のドリフト層、および上記第 1 導電型とは異なる第 2 導電型のリサーフ層を、上記半導体基板に平行な横方向に交互に配置して形成したスーパージャンクション構造部と、

このスーパージャンクション構造部を貫通して上記半導体基板に至るトレンチ内の底部側の所定の領域に配置された充填材とを備え、

上記リサーフ層は、上記トレンチの内側壁に沿って形成されており、

上記ドリフト層は、上記リサーフ層が上記半導体基板との接触部を有しないように、上記リサーフ層と上記半導体基板との間に介在する分離領域を有しており、

上記分離領域と上記ドリフト層との界面位置と、上記トレンチ内の上記充填材の上面位置とが、上記スーパージャンクション構造部の表面からほぼ同じ深さにある、半導体装置。

9. 上記充填材が酸化シリコンからなる部分を含む、請求項 8 記載の半導体装置

。

10. 上記充填材が、酸化シリコンに覆われたポリシリコンを含む、請求項8または9記載の半導体装置。

11. 上記トレンチ内において、上記充填材の上の空間に充填された上部充填材をさらに備えている、請求項8ないし10のいずれかに記載の半導体装置。

12. 上記ドリフト層および上記リサーフ層に接するように形成された上記第2導電型のベース領域と、

上記ベース領域に接するように形成され、上記ベース領域により上記ドリフト層およびリサーフ層と隔てられた上記第1導電型のソース領域と、

上記ソース領域と上記ドリフト層との間の上記ベース領域に、ゲート絶縁膜を挟んで対向配置されたゲート電極とをさらに備えている、請求項8ないし11のいずれかに記載の半導体装置。

图 1

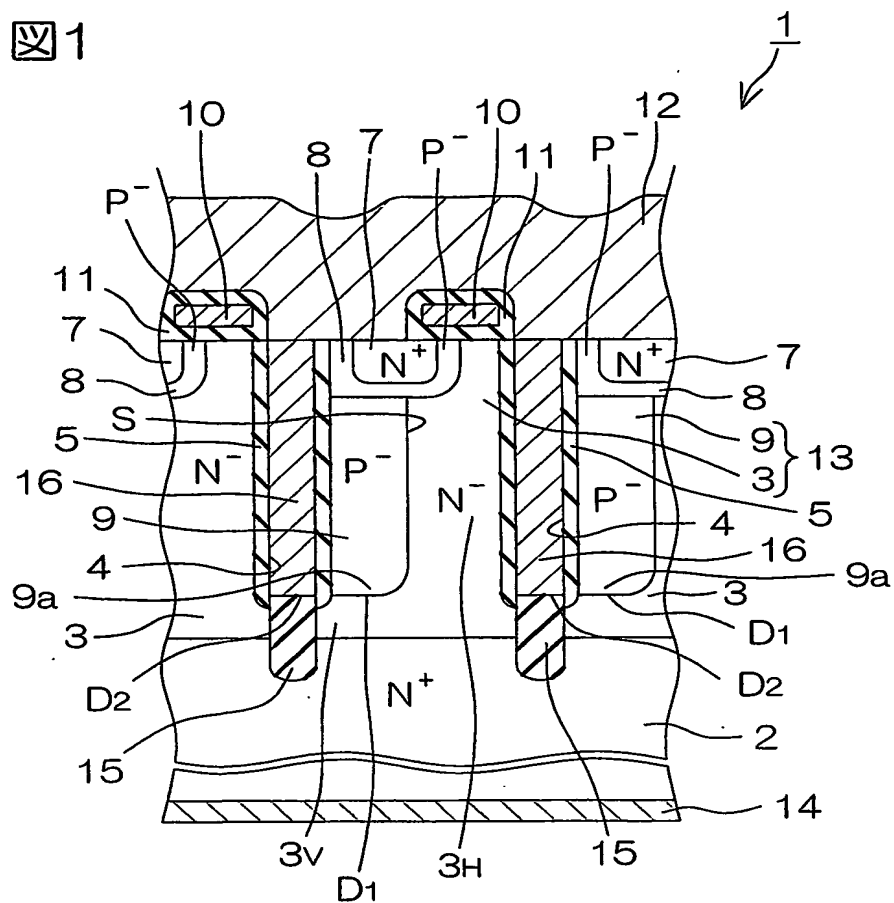


図2(a)

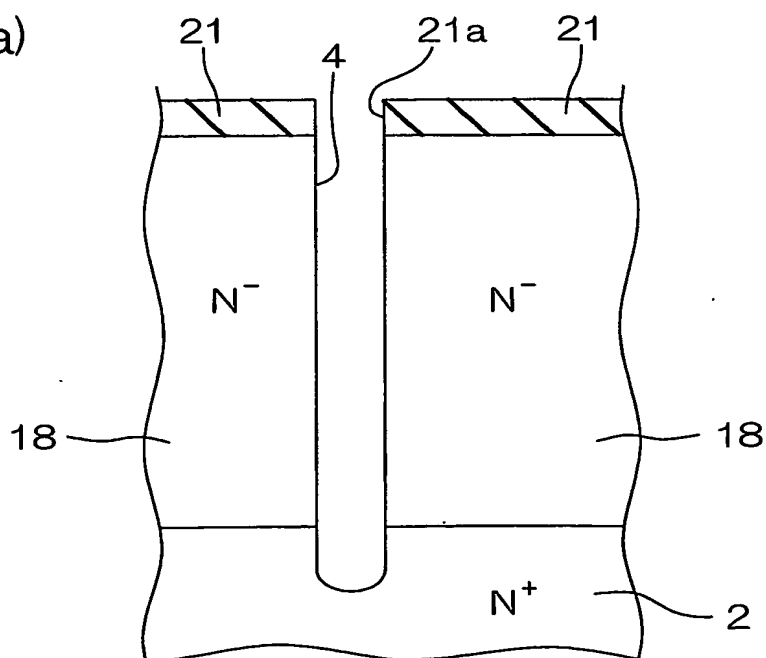


図2(b)

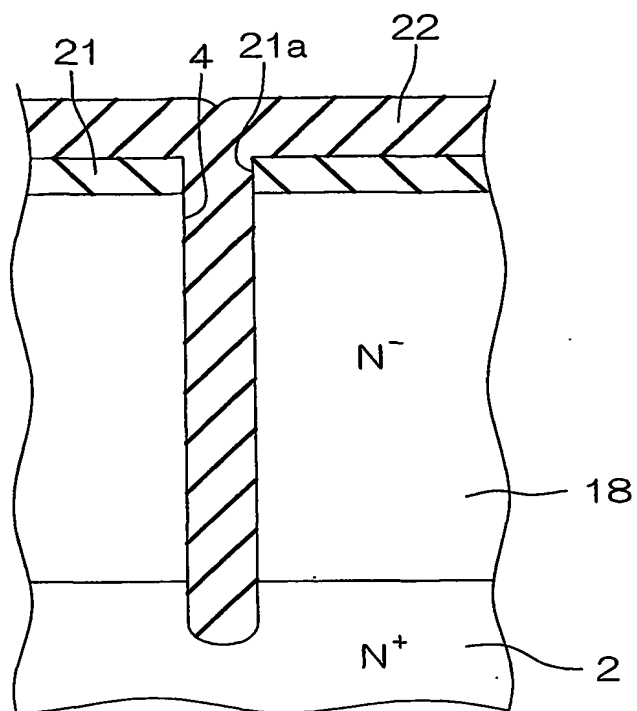


図2(c)

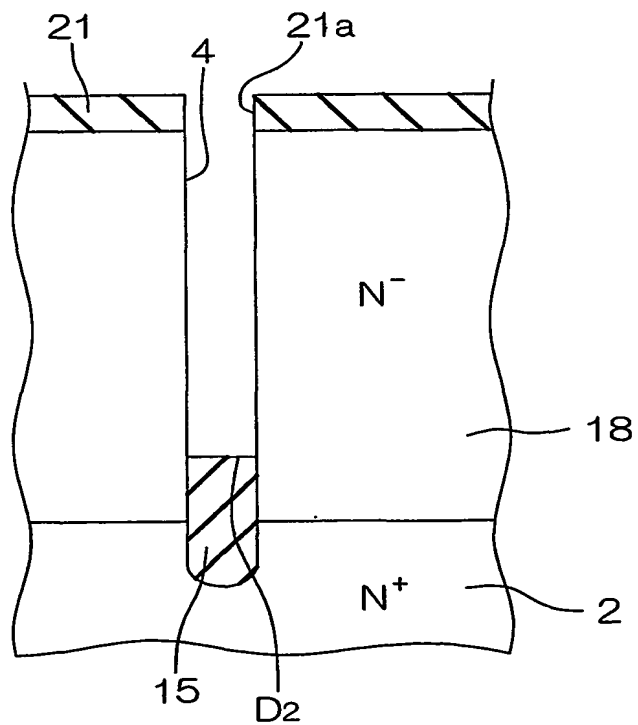


図2(d)

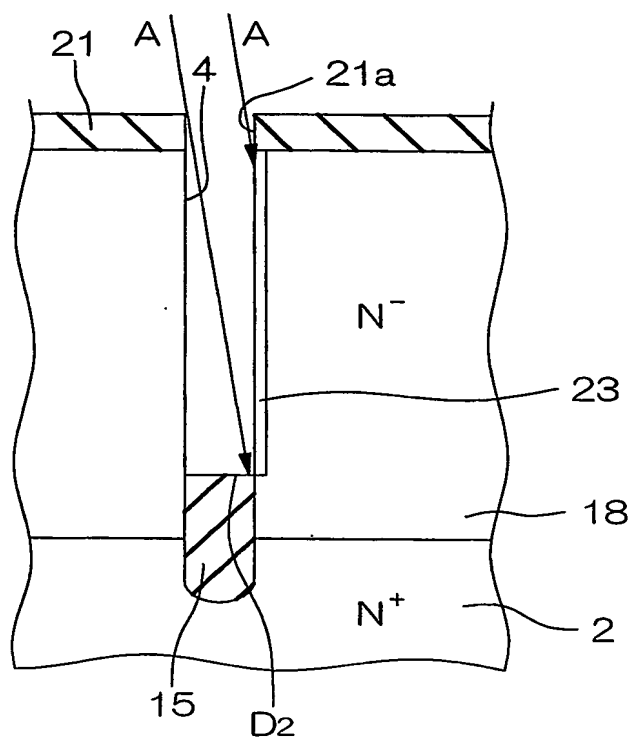


图2(e)

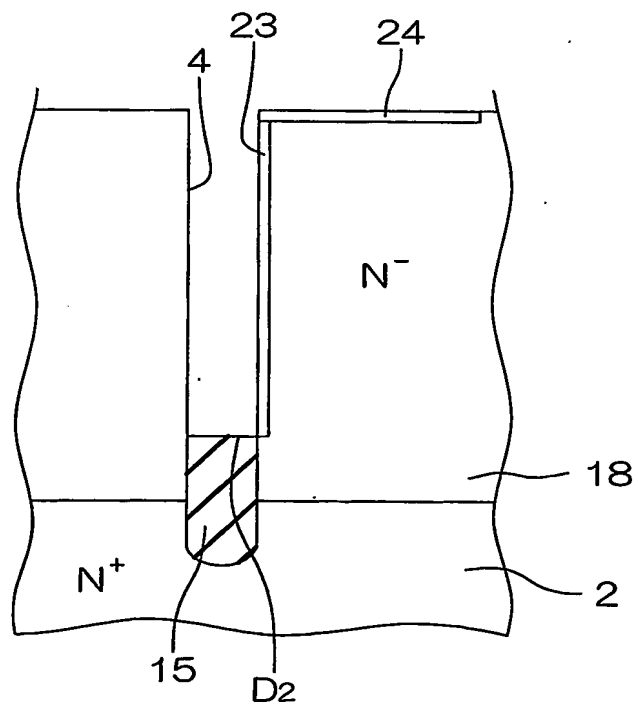


図2(f)

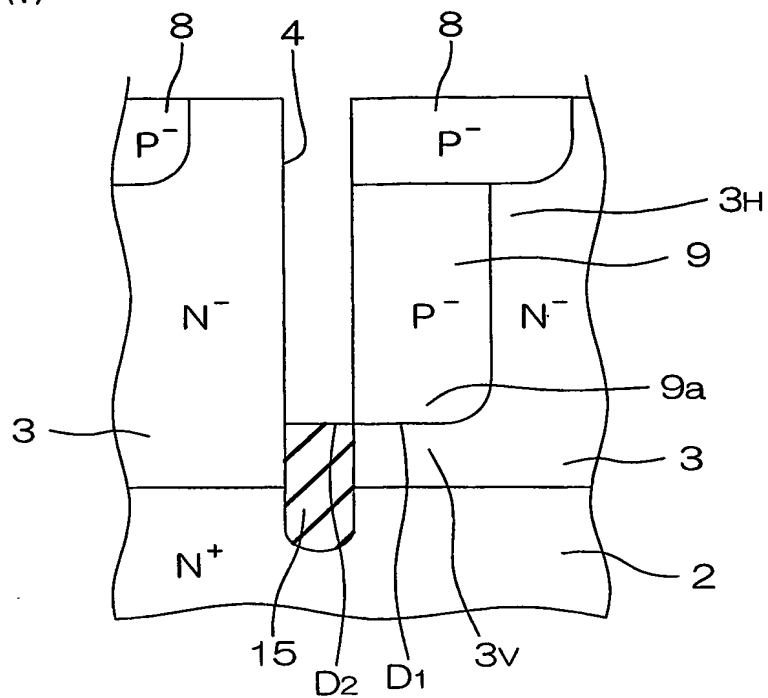


図2(g)

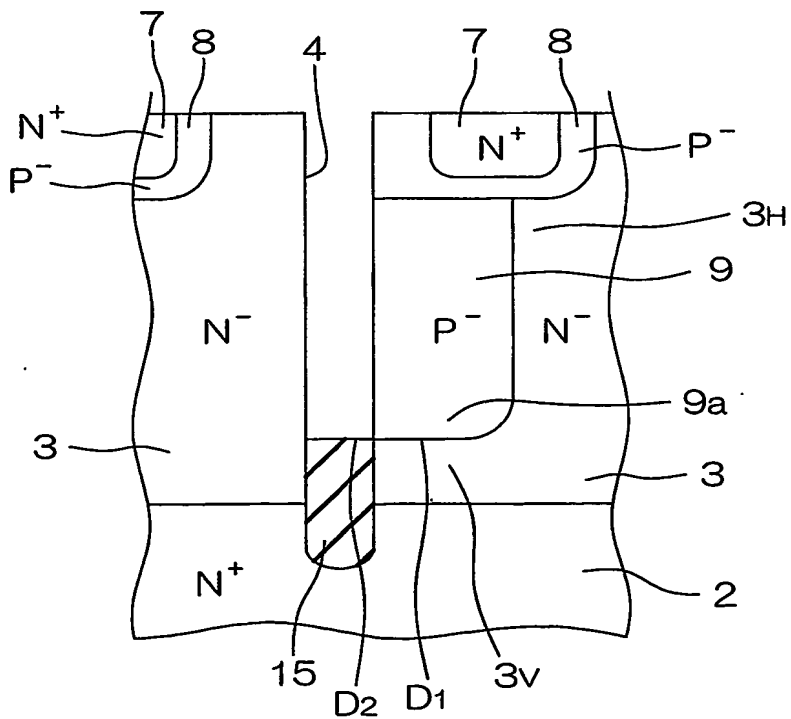


図2(h)

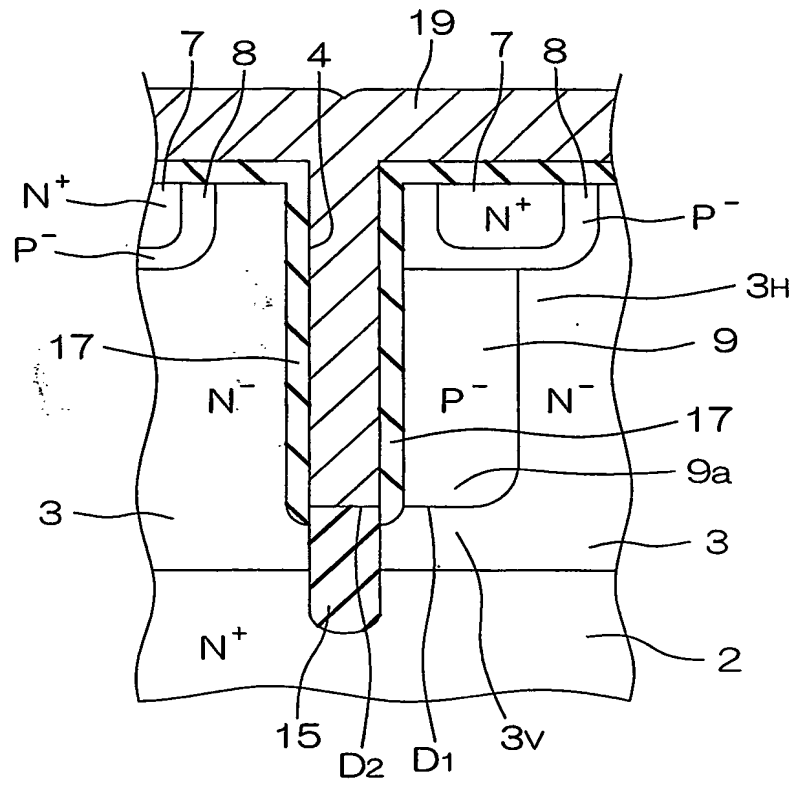


图3

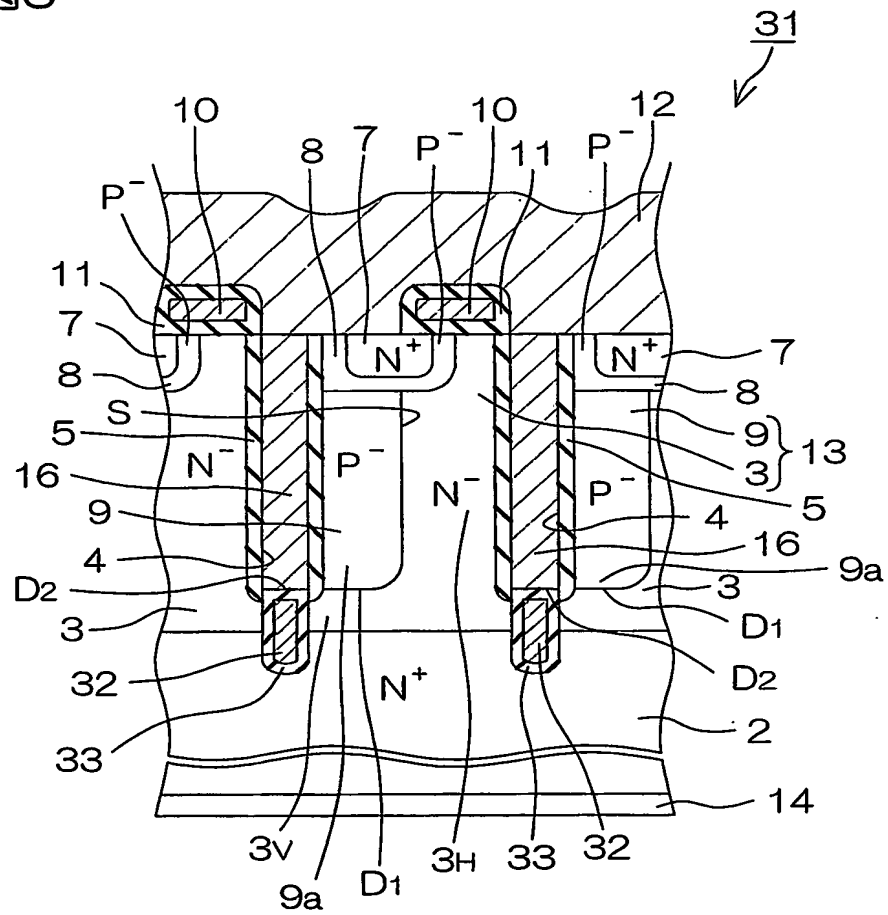


図4(a)

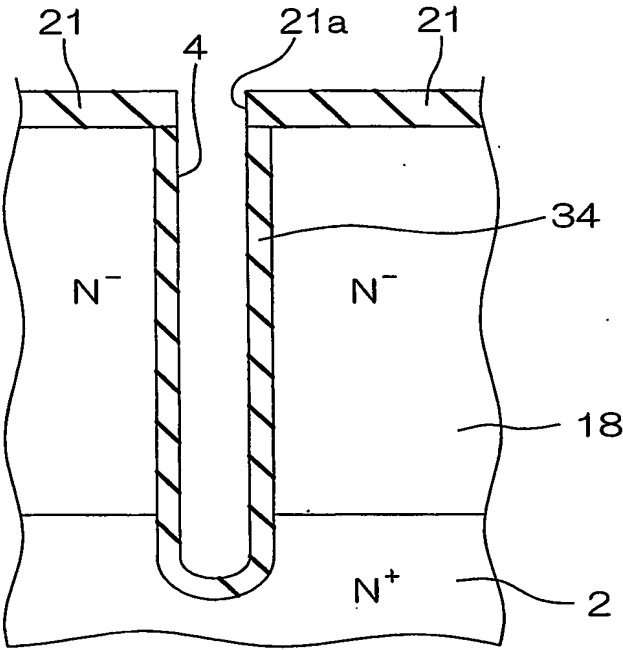


図4(b)

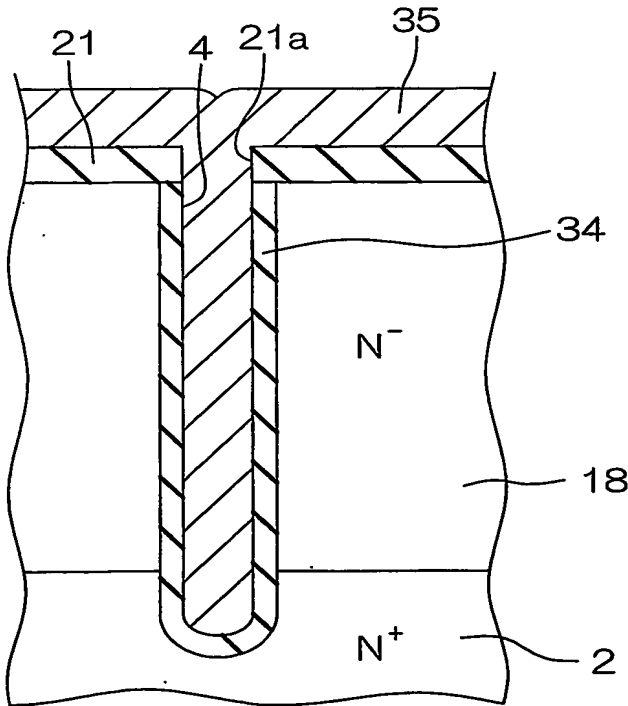


図4(c)

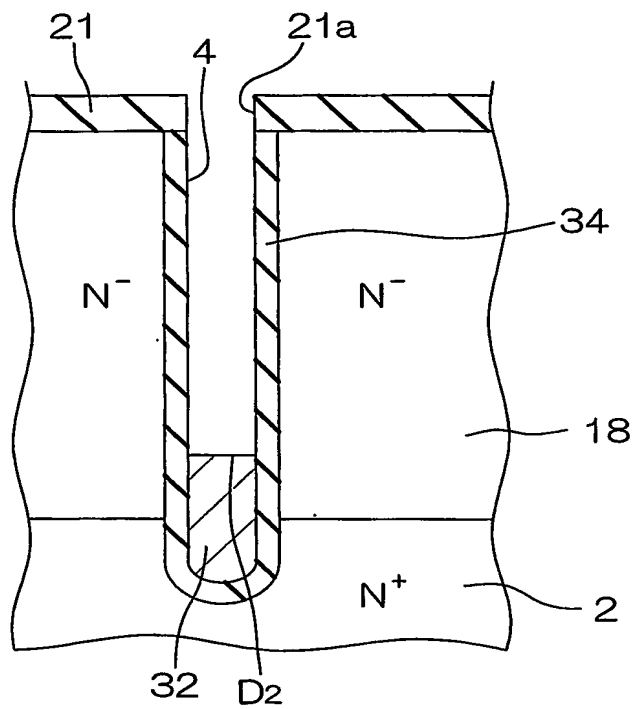


図4(d)

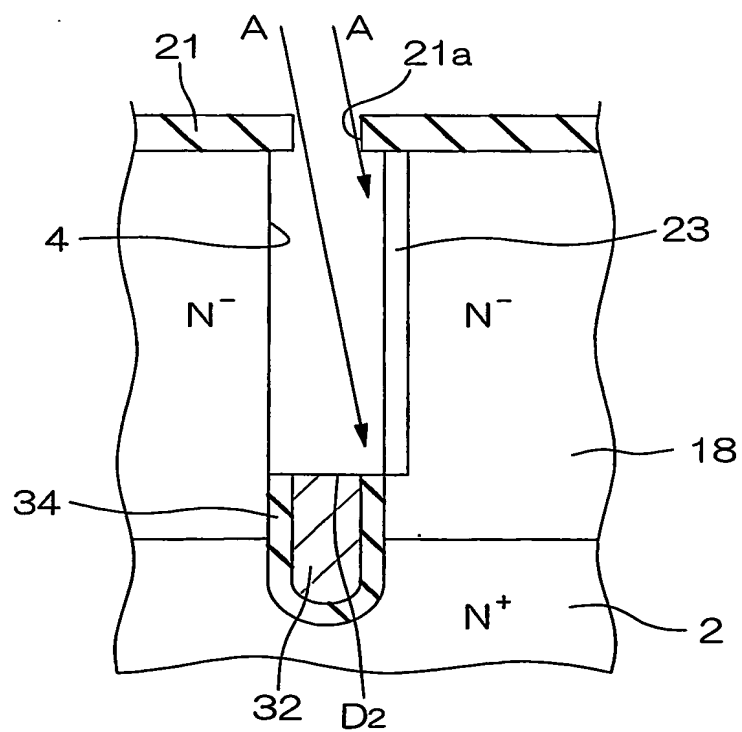


図5

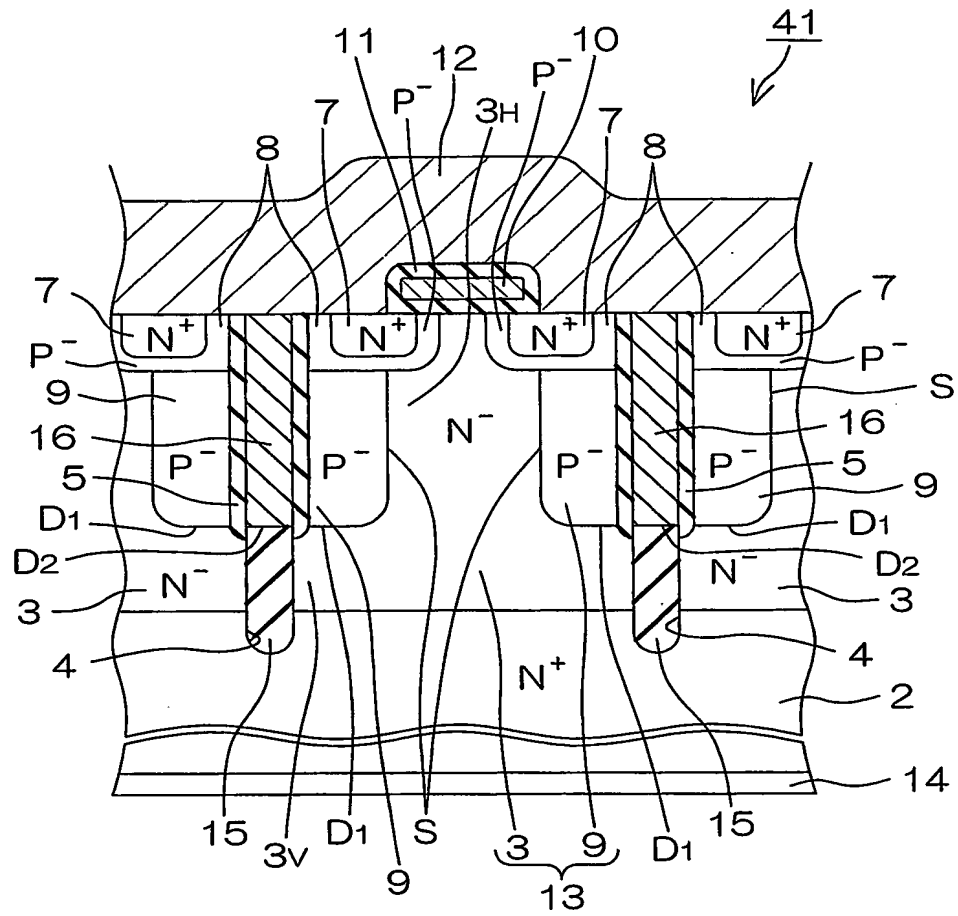
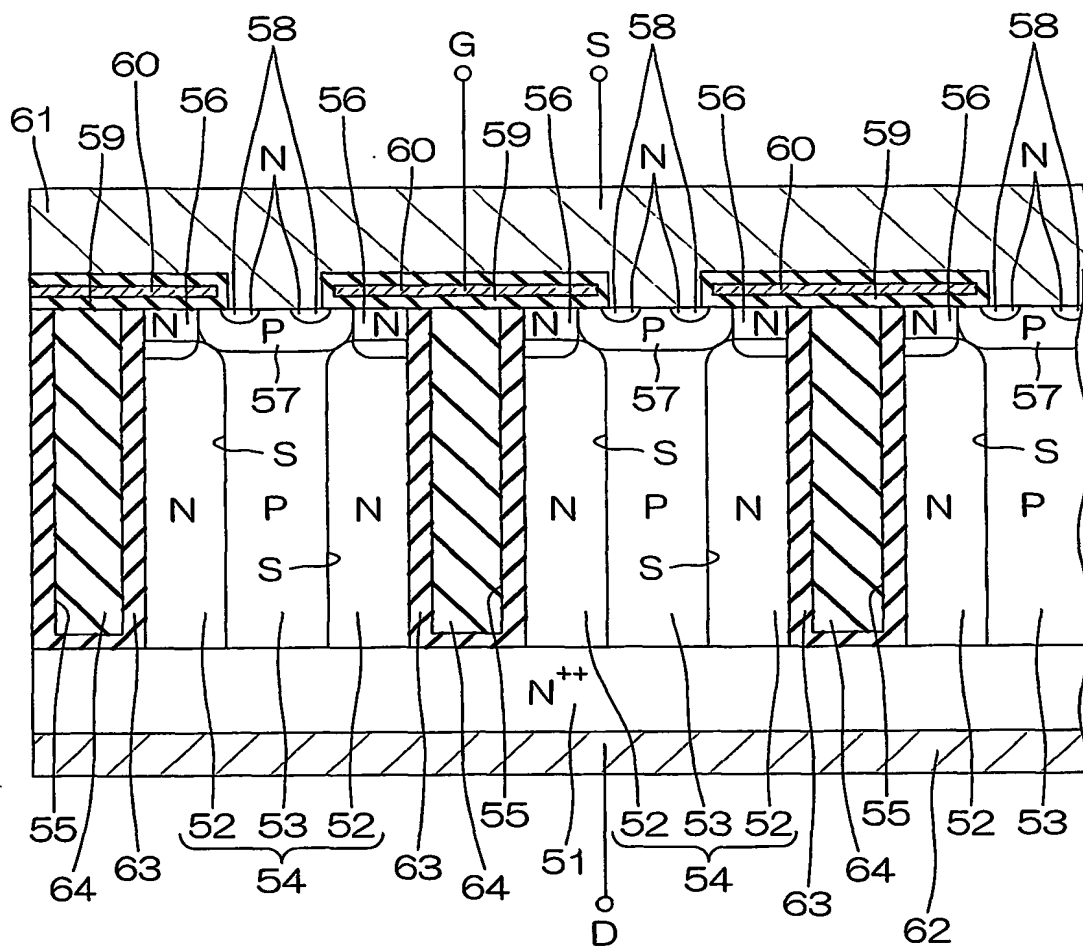


図6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/019732

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/78, H01L21/336, H01L29/06, H01L29/74, H01L29/73,
H01L29/861

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Jitsuyo Shinan Toroku Koho	1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-101022 A (Toshiba Corp.), 04 April, 2003 (04.04.03), Full text; Figs. 1 to 18 & EP 1267415 A2 & CN 1405897 A & US 2002/0185705 A1 & KR 2002-0095110 A	1-12
Y	WO 00/05767 A1 (Mitsubishi Electric Corp.), 03 February, 2000 (03.02.00), Full text; Figs. 1 to 45 & US 6307246 B1 & EP 1026749 A1 & KR 2001-0024224 A & CN 1279822 A & TW 398070 A	1-12
Y	JP 2000-277733 A (Sanken Electric Co., Ltd.), 06 October, 2000 (06.10.00), Full text; Figs. 1 to 7 (Family: none)	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
15 February, 2005 (15.02.05)

Date of mailing of the international search report
01 March, 2005 (01.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/019732

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-218415 A (Kawasaki Steel Corp.), 27 August, 1993 (27.08.93), Full text; Figs. 1 to 6 (Family: none)	1-12
Y	JP 60-244043 A (Toshiba Corp.), 03 December, 1985 (03.12.85), Full text; Figs. 1 to 3 (Family: none)	2-7, 10-12
Y	JP 4-273462 A (Sharp Corp.), 29 September, 1992 (29.09.92), Full text; Figs. 1 to 2 (Family: none)	2-7, 10-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl⁷ H 01 L 29 / 78

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl⁷ H 01 L 29 / 78, H 01 L 21 / 336, H 01 L 29 / 06, H 01 L 29 / 74,
H 01 L 29 / 73, H 01 L 29 / 861

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年,	日本国公開実用新案公報	1971-2005年
日本国登録実用新案公報	1994-2005年,	日本国実用新案登録公報	1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2003-101022 A (株式会社東芝), 2003. 04. 04, 全文及び図1-18 & EP 1267415 A2 & CN 1405897 A & US 2002/0185705 A1 & KR 2002-0095110 A	1-12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

15. 02. 2005

国際調査報告の発送日

01. 3. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

安田 雅彦

4 L

9 4 4 7

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	WO 00/05767 A1 (三菱電機株式会社) , 2000. 02. 03, 全文及び図1-45 & US 6307246 B1 & EP 1026749 A1 & KR 2001-0024224 A & CN 1279822 A & TW 398070 A	1-12
Y	J P 2000-277733 A (サンケン電気株式会社) , 2000. 10. 06, 全文及び図1-7 (ファミリーなし)	1-12
Y	J P 5-218415 A (川崎製鉄株式会社) , 1993. 08. 27, 全文及び図1-6 (ファミリーなし)	1-12
Y	J P 60-244043 A (株式会社東芝) , 1985. 12. 03, 全文及び第1-3図 (ファミリーなし)	2-7, 10-12
Y	J P 4-273462 A (シャープ株式会社) , 1992. 09. 29, 全文及び図1-2 (ファミリーなし)	2-7, 10-12